

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

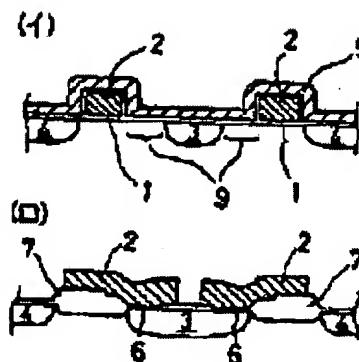
ELECTRICALLY ERASABLE NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

Patent number: JP4307974
 Publication date: 1992-10-30
 Inventor: YOSHIMI MASANORI
 Applicant: SHARP CORP
 Classification:
 - international: H01L29/788; H01L29/792; H01L27/115
 - european:
 Application number: JP19910073239 19910405
 Priority number(s):

Abstract of JP4307974

PURPOSE: To contrive an increase in the integration of the title device by a method wherein floating gates are respectively divided functionally into a write site and an erase site and in the sides of the erase sites, a tunnel oxide film is provided to constitute the erase sites without providing a source offset and in the sides of the write sites, a source offset is provided to constitute the write sites.

CONSTITUTION: One pair of L-shaped floating gates 2 consisting of a polysilicon film are respectively provided on gate regions between a source line 3 in the surface of a silicon substrate and one pair of drain lines 4 and 4 arranged on both sides of the line 3 via an insulating film. Moreover, control gates 5 consisting of a polysilicon film to the gates 2 are respectively provided on the gates 2 via an interlayer insulating film. In one pair of write sites, writing using an injection of electrons from the side of each drain to each gate 2 is performed. On the other hand, in the erase sites, erase using an F-N tunneling is performed en bloc from the side of a source to the gates 2 and 2.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-307974

(43) 公開日 平成4年(1992)10月30日

(51) Int. Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788 29/792 27/115		8225-4M 8831-4M	H 0 1 L 29/78 27/10	3 7 1 4 3 4
審査請求 未請求 請求項の数1(全 4 頁)				

(21) 出願番号 特願平3-73239

(22) 出願日 平成3年(1991)4月5日

(71) 出願人 000005049

シヤープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 吉見 正徳

大阪市阿倍野区長池町22番22号 シヤープ
株式会社内

(74) 代理人 弁理士 野村 信太郎

(54) 【発明の名称】 電気的消去可能不揮発性半導体記憶装置

(57) 【要約】

【目的】 ソースオフセットに選択ゲートを構成したE
E P R O MにおけるF-Nトンネリングによる消去を円
滑化して、素子の縮小化を図る。

【構成】 1つのソースラインとその両側のドレインラ
インとで2つのE E P R O Mセルを構成し、各フローテ
ィングゲートの一方側をホットエレクトロンによる書き
込み部位とし他方側をF-Nトンネリングによる一括消
去部位として機能分離する。

〔特許請求の範囲〕

〔請求項1〕 ソース領域とその両側に配置される一対の
フレイッシュ領域及びこれらの間で決定される一対のゲート
領域、このゲート領域上に配置される一対のフローチャ
イグザート及びこのフローチャイグザート上に配置され
るコントラールゲートを備え、上記一対の各フローチャ
イグザートが、(a) 各々ソースアソフセットを介して上
記ゲート領域上に位置して一対のフレイッシュ駆動書き込み
部を構成する書き込み部位と、(b) 各々ソース両側に
配置されたトネル酸化膜上に位置して一つのソース駆動
部を構成する消去部位、を有してなり、上記コン
トラールゲートが、上記一対のフローチャイグザートの
書き込み部位及びソースアソフセットとを共通して覆うよ
うに配置されてなる電気的消去可能な不揮発性半導体記憶
装置。

【発明の詳細な説明】
 【0001】
 【産業上の利用分野】 この発明は、食気の消滅可能不揮
 発性非揮発性記憶装置（EEPROM）に関する。さらに
 詳しくは、高度酸化に耐したEEPROMの素子構造に
 関する。
 【0002】

【従来の技術】従来から、電気的消去可能な揮発性半導体記憶装置（EPROM）として様々な構造のもの知られており、いずれもいわゆるフロッピー・ディスクを有し、ホップ・エレクトロニクスによる書き込み・リーディング（Powler-Morfordism）フロッピングによる消去/書き込みを利用している。

【0003】そして選択ゲート（セレクトリジスタ）を有さない、いわゆる初期のスタンダータードEPRMにおいては、ドライン側よりホットエレクトロンによる書き込みが行なわれ、ソース側よりF-Nトンネルングによる消去が行なわれる。

【0005】このため、選択ゲートを組合せて上記識別
消去を防止することがしばしば行なわれている。
【0006】

【説明が解決しようとする課題】しかしながら、選択ゲートを独立して設けるとメモリーセルの専有面積が増加し、EEPROMの集積度が著しく低下する。

【0007】そのため、EEPROMを構成するソースラインとフローティングゲートとの間にオフセットを設け、このオフセット部上に選択ゲートを配置することから考えられる。

【0008】しかしながら、この場合には、オフセット

幅の存在により、ソースとフロート・ポイント間のF
-Nトシネリツグが生じ、データの喪失を回避に行

なうことができなかった。また、この場合、フライソと
フローチング・グレート間のフーントホリソグを利用す
ることも考えられるが、これを達成するには、フライソ
に比較的高電圧を印加する必要が生じる。従って、必然
的にリーク電流を防止すべく、フライソ接合部圧を上昇す
ることが要求され、そのためにはフライソ接合の温度、フ
ロノールをなだらかにする必要があるが、この場合に
は、ホットエレクトロソの発生効率が悪くなり、書き込
み特性が低下する不都合があった。

【0009】この発明は、かかる状況下なされたもので
あり、ここにソークス・オン・セツト環境に選択ゲートを構成
したEPROMにおいても、ソークスからのフーント
ホリソグによる消去を可能とする構造を提供しようと
するものである。

【0010】

【要旨を要決するための手帳】 かくしてこの発明によればノス領域とその両側に配置される一対のドメイン領域及びこれの周で設定される一対のゲート領域、このゲート領域上に配置される一対のフローチャインゲート及びこのフローチャインゲート上に配置されるコントロールゲートを備え、上記一対の各フローチャインゲートが、(a) 各々ノスオプセットを介して上記ゲート領域

軌上に位置して一対のフレイン駆動巻き込み駆を構成する巻き込み駆と、(b) 各々ノース側に配置されたフレイン駆動巻上機に位置して一つのノース駆動巻き込み駆を構成する巻き込み駆とを有してなり、上記コンローラが、上記一対のフレイン駆動巻き込み駆及びギョースオプセット上を共通して駆動するように配置さ

されてゐる。【0011】この説明は、上記問題を解決すべく、フロ
ーチャイムグラフを機能的に書き込み部位と消去部位に分け、消去部位側ではノースアソフセットを設けることな
く、トポキル化膜を配置して1つの消去部位を構成し、書き込み部位側ではノースアソフセットを設けて一対の書き込み部位を構成するという手段を講じたものである。

【0012】
【作用】ドライン駆動書き込み部においては、ソースオ
フセットが確保されておりこのオフセット上のコント
ールゲートを選択ゲートとすることができ、かつホスト

エレクトロンの注入がオフセットを有しない各ドレイン側から行なわれるため、各々円形な等き込みが行なわれる。

【0013】一方、ソース駆動消去部においてはソースオフセットを有さないため、ソース領域の両側に配置されたトンネル酸化膜を介してソース側からのF-Nトンネルインжекが行なわれ、円滑な消去が一掃して行なわれることとなる。

【0014】
【実施例】以下、添付図面に示す実施例に基づいてこの

【0015】図1は、この発明の一実施例のF.F.PROMを示す平面構成説明図であり、図2（イ）は、図1のA-A'線断面説明図、図2（ロ）は同じくB-B'線断面説明図である。

10

20

30

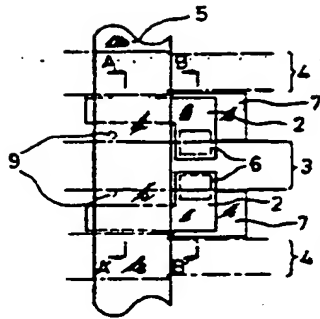
30

40

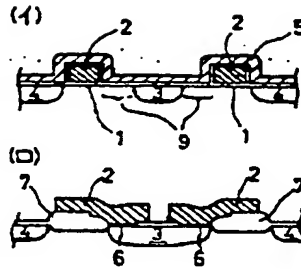
50

~~453~~

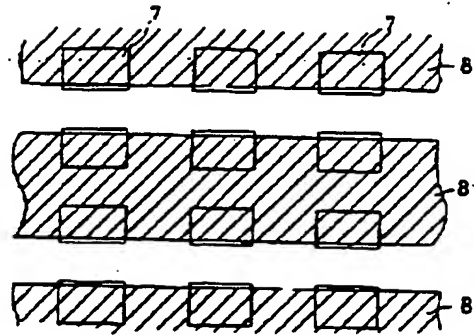
【図1】



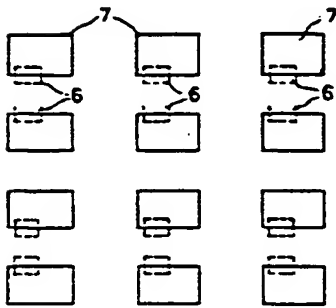
【図2】



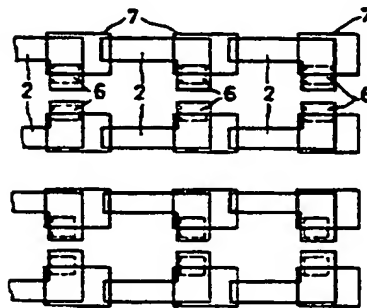
【図3】



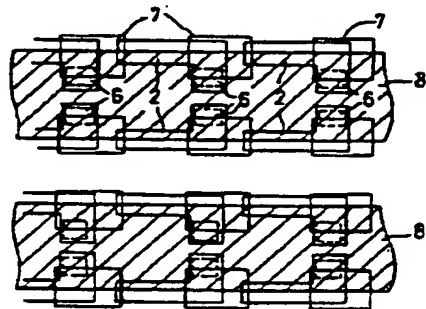
【図4】



【図5】



【図6】



【図7】

